

© EPODOC / EPO

PN - JP4199931 A 19920721
PD - 1992-07-21
PR - JP19900331387 19901129
OPD - 1990-11-29
TI - INFORMATION SYNCHRONISM SYSTEM
IN - OTSUKI MITSUHIRO
PA - NIPPON DENKI HOME ELECTRONICS
IC - H04L7/00 ; H04L7/08 ; H04L29/08
CT - JP4004632 A []; JP2305278 A []

© WPI / DERWENT

TI - Data receiver for communication through information network system - has delay circuit for setting up synchronisation between data signals form two channels

NoAbstract

PR - JP19900331387 19901129
PN - JP4199931 A 19920721 DW199235 H04L7/08 005pp
PA - (NIDF) NEC HOME ELECTRONICS LTD
IC - H04L7/08 ;H04L29/08
OPD - 1990-11-29
AN - 1992-289756 [35]

© PAJ / JPO

PN - JP4199931 A 19920721
PD - 1992-07-21
AP - JP19900331387 19901129
IN - OTSUKI MITSUHIRO
PA - NEC HOME ELECTRON LTD
TI - INFORMATION SYNCHRONISM SYSTEM
AB - PURPOSE:To synchronize information transmitted by the channels of two systems to receive them by permitting a synchronism detection part to detect the delay amounts of first and second input data and permitting a delay circuit to synchronize first and second data and to output them.

- CONSTITUTION:The delay circuit 9 delays first input data B1 or second input data B2 and the synchronism detection part 8 detects the delay amounts of first input data B1 and second input data B2. A synchronizing signal elimination part 100 eliminates a synchronizing signal from first input data B1 and second input data B2, which are outputted from the delay circuit 9. First and second channel signal processing parts 30 and 40 output an output from the synchronizing signal elimination part 100 as first output data and second output data. Thus, information transmitted by the channels of two systems can be synchronized and received.

I - H04L7/08 ;H04L7/00 ;H04L29/08

⑯ 日本国特許庁(JP)

⑰ 特許出願公開

⑫ 公開特許公報(A) 平4-199931

⑤ Int. Cl.³

H 04 L 7/08
7/00
29/08

識別記号

A
G

庁内整理番号

8949-5K
8949-5K

⑬ 公開 平成4年(1992)7月21日

8020-5K H 04 L 13/00 3 0 7 A
審査請求 未請求 請求項の数 2 (全5頁)

⑭ 発明の名称 情報同期システム

⑰ 特 願 平2-331387

⑱ 出 願 平2(1990)11月29日

⑲ 発 明 者 大 槻 光 弘 大阪府大阪市中央区城見1丁目4番24号 日本電気ホーム
エレクトロニクス株式会社内

⑳ 出 願 人 日本電気ホームエレクトロニクス株式会社 大阪府大阪市中央区城見1丁目4番24号

明 細 書

1. 発明の名称

情報同期システム

2. 特許請求の範囲

(1) 第1の入力データが入力される第1のチャンネル信号処理部と、第2の入力データが入力される第2のチャンネル信号処理部と、前記第1のチャンネル信号処理部及び前記第2のチャンネル信号処理部からの出力が入力される同期信号挿入回路と、この同期信号挿入回路からの出力が送信側の回線インターフェースを介して送信される情報同期システムにおいて、

前記送信側の回線インターフェースから出力を受信する受信側の回線インターフェースと、

この受信側の回線インターフェースから出力される第1の入力データ及び第2の入力データが入力され、この第1の入力データまたは第2の入力データを遅延する遅延回路と、

前記第1の入力データと第2の入力データとの相互の遅延差を検出する同期検出部と、

前記遅延回路から出力される前記第1の入力データ及び第2の入力データが入力され、前記第1の入力データ及び第2の入力データから同期信号を削除する同期信号削除部と、

この同期信号削除部からの出力を第1の出力データ及び第2の出力データとして出力する受信側の第1のチャンネル信号処理部と第2のチャンネル信号処理部とを具備したことを特徴とする情報同期システム。

(2) 第1の入力データが入力される第1のチャンネル信号処理部と、第2の入力データが入力される第2のチャンネル信号処理部と、前記第1のチャンネル信号処理部及び前記第2のチャンネル信号処理部からの出力が入力される同期信号挿入回路と、この同期信号挿入回路からの出力が送信側の回線インターフェースを介して送信される情報同期システムにおいて、

前記送信側の回線インターフェースから出力を受信する受信側の回線インターフェースと、

この受信側の回線インターフェースから出力さ

れる第1の入力データ及び第2の入力データが入力され、この第1の入力データまたは第2の入力データを遅延する遅延回路と、

この遅延回路の遅延量を外部からの指令により任意に指定する遅延回路インターフェースと、

前記遅延回路からの出力を第1の出力データ及び第2の出力データとして出力する受信側の第1のチャンネル信号処理部と第2のチャンネル信号処理部とを具備したことを特徴とする情報同期システム。

3. 発明の詳細な説明

産業上の利用分野

本発明は情報同期システムに関し、特に1988年からNTTがサービスを開始したINS64による通信の同期システムに関する。

従来の技術

INSでは64 kbpsの伝送容量を持つBチャンネルと呼ばれるチャンネルが2本使用出来る。

我々はこれを利用して、一方のチャンネルで画像を、他方のチャンネルでその画像に関連する音

データとの相互の遅延量を検出する同期検出部と、前記遅延回路から出力される前記第1の入力データ及び第2の入力データが入力され、前記第1の入力データ及び第2の入力データから同期信号を削除する同期信号削除部と、この同期信号削除部からの出力を第1の出力データ及び第2の出力データとして出力する受信側の第1のチャンネル信号処理部と第2のチャンネル信号処理部とを具備したものである。

また、送信側の回線インターフェースから出力を受信する受信側の回線インターフェースと、この受信側の回線インターフェースから出力される第1の入力データ及び第2の入力データが入力され、この第1の入力データまたは第2の入力データを遅延する遅延回路と、この遅延回路の遅延量を外部からの指令により任意に指定する遅延回路インターフェースと、前記遅延回路からの出力を第1の出力データ及び第2の出力データとして出力する受信側の第1のチャンネル信号処理部と第2のチャンネル信号処理部とを具備したものであ

を送受信することが出来る。

同様に、コンピュータのデータやカラーの動画やステレオ音声を2つのチャンネルを使用して送受信する事も出来る。

発明が解決しようとする課題

従来技術では、両チャンネルの間には同期がとれていない為に、そのままでは映像と音声の同期しない等の問題点がある。

したがって、本発明の目的は、上記の様な問題に鑑み、2系統のチャンネルで送信される情報を同期させて受信するシステムを提供することである。

課題を解決するための手段

本発明は、上記問題点を解決するために、送信側の回線インターフェースから出力を受信する受信側の回線インターフェースと、この受信側の回線インターフェースから出力される第1の入力データ及び第2の入力データが入力され、この第1の入力データまたは第2の入力データを遅延する遅延回路と、前記第1の入力データと第2の入力

る。

作用

この発明によれば、請求項1記載の発明では、同期検出部は、第1の入力データと第2の入力データとの相互の遅延量を検出し、遅延回路で第1の入力データと第2の入力データとを同期させてそれぞれを出力する。

また、請求項2記載の発明では、遅延回路インターフェースは、遅延回路の遅延量を外部からの指令により任意に指定し、第1の出力データと第2の出力データとの出力のずれを操作者の所望のタイミングで設定できる。

実施例

本発明の実施例を図面を参照して以下に説明する。

第1図は、本発明による第1実施例の信号のフォーマットを示す。第2図は、本発明の伝送システムの第1実施例のブロック図である。第3図は、本発明の第2実施例を示すブロック図である。

第1図に示す如く、送信側では二つのチャンネ

ルから送信されるデータに対して、同じ位置に同期信号が挿入される。伝送経路における最大の遅延が SYNCnまでの時間である場合に、同期信号は SYNC0から SYNCn-1まで n 個必要であり、それぞれの同期信号は個別に識別される特徴を持っている。

受信側では第 1 チャンネルの方が早く到達している場合を示している。

第 2 図は本発明の第 1 実施例の情報同期システムを示すブロック図である。

この図において、例えば、画像のデータは、入力 1 として第 1 のチャンネル処理部である B 1 チャンネル部 10 に入力され、音声のデータは、入力 2 として第 2 のチャンネル処理部である B 2 チャンネル部 20 に入力される。

然る後、同期信号が両チャンネルに同時に同期信号挿入回路 3 に挿入され、回線インターフェース 4 上の伝送路に送り出される。

この同期信号挿入回路 3 から回線インターフェース 4 へ送出されるときに信号フォーマットは、

かった信号を受信した場合の受信側のシステムを示す。例えば、第 1 のデータが B 1 チャンネルデータ、第 2 のデータが B 2 チャンネルデータとすれば、第 1 のデータ、第 2 のデータは INS64 から DSU6 を介して回線インターフェース 70 に送られる。

回線インターフェース 7 から B 1 チャンネルデータ、B 2 チャンネルデータが遅延回路 90 に送られ、それぞれ B 1 チャンネル処理部 30、B 2 チャンネル処理部 40 を介して出力 1、2 として出力される。

この場合には、最初は両チャンネルの信号である出力 1、出力 2 は、同期がズレていてもそのまま出力される。この同期のズレは人の感覚で判断され、遅延回路インターフェース 80 が操作部 81 によりマニュアルで操作され、即ち先行するチャンネルに対して少しずつ遅延量を増して任意の遅延量をセレクトされ、試行錯誤によって同期が求められる。

発明の効果

第 1 図に示した①、②である。

回線インターフェース 4 上の伝送路に送り出された信号は、デジタル回線終端装置である DSU5 を介して INS64 に送られ、受信側の DSU6 を介して、受信側の回線インターフェース 7 に入力される。

受信側では第 1 図に示す様な信号を受信すると同期信号が同期検出回路 8 によって検出される。これによって B 2 チャンネルの方が遅れている事が判明し、その遅れの量が決定されると遅延回路 9 は B 1 チャンネルの信号を遅れさせて両チャンネルを同期させる。

然る後、同期信号は同期信号削除部 100 により削除され、画像データは受信側の B 1 チャンネル処理部 30、音声データは B 2 チャンネル処理部 40 を介して同期した状態で出力 1、出力 2 として出力される。

次に、第 3 図により、本発明の第 2 実施例を説明する。

この図には、送信側にて同期信号が挿入されな

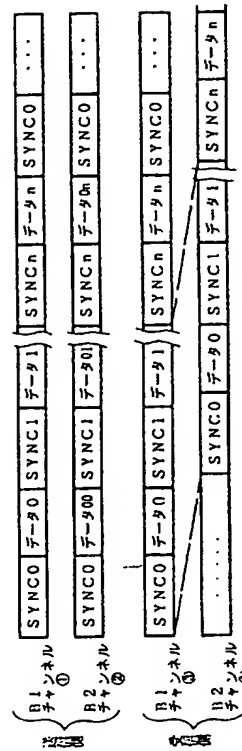
以上のように本発明は、INS の 2 チャンネルを利用して送受信される相互に関連する非同期の信号を容易に同期させる効果を有する。

4. 図面の簡単な説明

第 1 図は本発明の第 1 実施例の信号のフォーマットを示す説明図、第 2 図は本発明の第 1 実施例の情報同期システムを示すブロック図、第 3 図は本発明の第 2 実施例の情報同期システムを示すブロック図である。

- 10・・・送信側の B 1 チャンネル処理部、
- 20・・・送信側の B 2 チャンネル処理部、
- 30・・・受信側の B 1 チャンネル処理部、
- 40・・・送信側の B 2 チャンネル処理部、
- 3・・・同期信号挿入回路、
- 4・・・送信側の回線インターフェース、
- 5・・・送信側の DSU、
- 6・・・受信側の DSU、
- 7・・・受信側の回線インターフェース、
- 8・・・同期検出部、
- 80・・・遅延回路インターフェース、

- 81・・・操作部、
 9, 90・・・遅延回路、
 100・・・同期信号削除部。



第 1 図
 送信フォーマットと受信例

特許願出願人

日本電気ホームエレクトロニクス株式会社

代表取締役 村上隆一

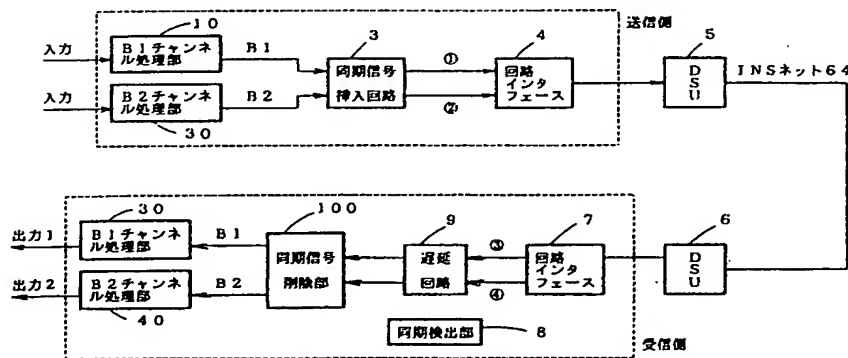
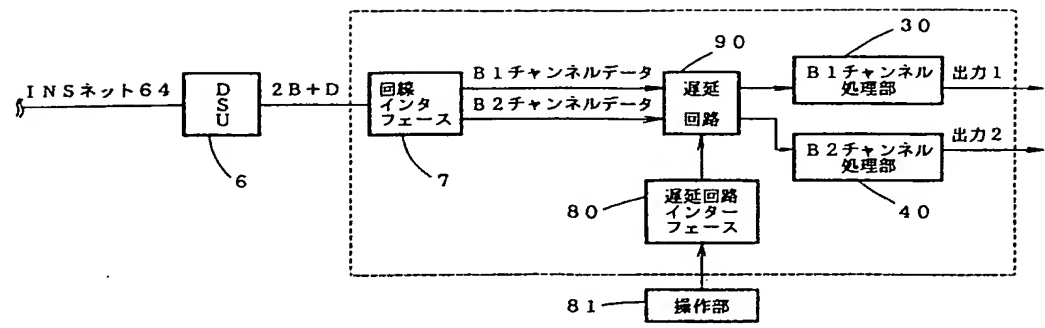


図 2
 送信システムブロック図



第 3 図
受信側システム